

## Lektion 1

Uppgifter (Lektion): 3.2 3.4 3.5 3.6 3.7 3.8

Uppgifter (Rek.):

Theoretiska moment: PN-övergång, Aktiva och passiva komponenter, PMOS, NMOS, CMOS, Resistor, Kondensator

### Teori

#### • Aktiva och passiva komponenter - populäristisk beskrivning

##### PN-övergång

PN-övergången består av två olika dopade halvledare. Den positivt dopade består av  $N_A$  acceptorer (*acceptors*) och den negativa av  $N_D$  donatorer (*donors*).

När de två dopade halvledarna sätts samman kommer överflödiga laddningar att röra sig mellan de olika materialen och slutligen ge upphov till en elektrisk jämvikt. Vid denna jämvikt uppstår ett så kallat utarmningsområde (*depletion region*),  $x_d = x_n - x_p$ , i vilket fixa atomer med positiv eller negativ laddning befinner sig, strömmen  $i_D$  och spänningen  $v_D$  är lika med noll. Laddningen i den N-dopade halvledaren är **positiv** och **negativ** i den P-dopade.

Laddningskoncentrationen i de båda halvledarna kan skrivas som  $\rho_A = -qN_A$  respektive  $\rho_D = qN_D$ . Med hjälp av elektricitetslära så kan det elektriska fältet över PN-övergången beräknas enligt:

$$\frac{dE}{dx} = \frac{\rho}{\epsilon} \Rightarrow E(x) = \int_{-\infty}^x \frac{\rho(s)}{\epsilon} ds$$

Med hjälp av detta samband så fås att det elektriska fältet i skärningspunkten blir:

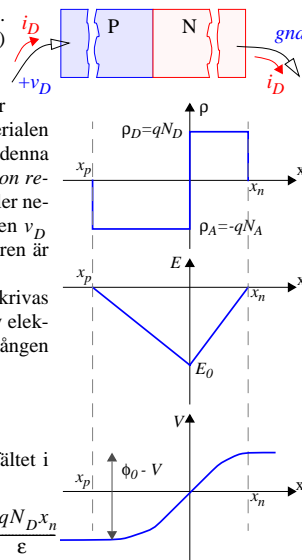
$$E_0 = E(0) = \int_{x_p}^0 \frac{\rho_A}{\epsilon} ds = \int_0^{x_n} \frac{\rho_D}{\epsilon} ds = \frac{qN_A x_p}{\epsilon} = \frac{-qN_D x_n}{\epsilon}$$

Potentialen i PN-övergången kan beräknas enligt:

$$E = -\frac{dV}{dx} \Rightarrow V(x) = \int_{-\infty}^x E(s) ds = \frac{1}{\epsilon} \int_{-\infty}^x \int_{-\infty}^s \rho(\sigma) d\sigma ds$$

Den så kallade *barrier potential* definieras enligt

$$V(x_n) - V(x_p) = \phi_0 = \frac{kT}{q} \ln\left(\frac{N_A N_D}{n_i^2}\right)$$



(ungefärliga värden är  $\phi_0 = 0.7$  V för kisel-dioder och  $\phi_0 = 0.3$  V för germaniumdioder)

Bredden på utarmningszonen kan beskrivas av

$$x_n = \left[ \frac{2\epsilon_{si}(\phi_0 - v_D)N_A}{qN_D(N_A + N_D)} \right]^{1/2} \text{ och } x_p = \left[ \frac{2\epsilon_{si}(\phi_0 - v_D)N_D}{qN_A(N_A + N_D)} \right]^{1/2}$$

Om dessa gränsvärden används i integrationen för att få fram  $E_0$  så fås:

$$E_0 = \left[ \frac{2qN_A N_D (\phi_0 - v_D)}{\epsilon_{si}(N_A + N_D)} \right]^{1/2}$$

Det kan inses att det maximala elektriska fältet  $E_{max}$  måste vara  $E_{max} = E_0 \cdot v_D$  kan lösas ut:

$$-v_D = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_0^2 - \phi_0$$

Den maximala *backspänningen* ( $v_d$  är negativ)  $-BV = v_{D,min} < 0$  (*breakdown voltage*) som kan appliceras på övergången innan den "överstyrs" ges av det maximala fältet:

$$v_{D,min} = -BV = \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_{max}^2 - \phi_0 \approx \frac{\epsilon_{si}(N_A + N_D)}{2qN_A N_D} E_{max}^2$$

Detta fenomen uppkommer på grund av två effekter: **Lavineffekt** och **Zenereffekt**.

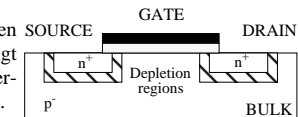
Vid förekomsten av laddning och elektriskt fält kan vi en kapacitans över PN-övergången definieras, *depletion layer capacitance* beräknas till:

$$C_j = \frac{dQ}{dv_D} = \frac{d}{dv_D} A \left[ \frac{2\epsilon_{si}qN_A N_D (\phi_0 - v_D)}{N_A + N_D} \right]^{1/2} = \frac{C_{j0}}{\sqrt{1 - v_D/\phi_0}}$$

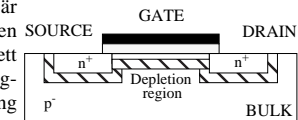
#### PMOS, NMOS, CMOS - transistor

##### NMOS-transistorn – kort beskrivning.

*Grundprinciper bakom funktionen.* Substratet eller bulken (bulk) är svagt p-dopat. Source och drain på transistorn är kraftigt n-dopade. På detta sätt uppstår i jämviktsläget två PN-övergångar mellan source och bulk respektive drain och bulk.



Om en spänning läggs mellan gate och source,  $V_{GS}$ , som är större än en viss tröskelspänning  $V_T$  så har laddningen mellan gate och bulk blivit så pass stor att det uppstår ett skikt under gaten som kan ses som n-dopat. (Plusladdningar samlas på gaten och ger upphov till en kapacitiv koppling mellan gate och bulk. Positiva laddningar under gaten repelleras.) På så sätt uppstår en kanal (n-dopat) mellan source och drain. Genom kanalen kan laddningar fritt flyta och därmed en ström genom transistorn. Djupet på kanalen ges bland annat av spänningen mellan gate och source. Kanalen är avsmalnande från drain till source, styrkan med vilken kanalen smalnar av är beroende av spänningen mellan drain och source och den så kallade kanallängdsmodulationen  $\lambda$ .



**Resistorer implementerade med halvledare**

*Diffused resistor*, source/drain diffusion används som resistans. Parasitkapacitanserna som uppstår vid denna typ av resistor är dock spänningsberoende. I övrigt låg resistivitet.

*Polysilicon resistor*, polykiselagret används som ledare med viss resistivitet. Denna typ är parasitökänslig och parasitkapacitanserna är spänningsberoende.

*Ion-implanted resistor*, skapas genom extra steg i tillverkningsprocessen, dopning av materialet. Parasitkapacitanserna är spänningsberoende.

*P-well resistor*, resistansen bildas genom att använda ett stycke med p-well, dvs p-dopat material i substratet. Hög resistivitet. Samma princip för *n-well resistor*.

*Pinched resistor*, samma princip som för *p-well resistor*, men där ett parti med n-dopat material lagts i p-wellen. Ännu högre resistivitet.

**Kondensatorer implementerade med halvledare**

En grundtyp av kondensator kan skapas genom att lägga ett ledande lager på ett kraftigt dopat kiselager. Som dielektrikum använd kiseldioxid. Ett exempel är *polysilicon-oxide-channel*. Kondensatorn uppstår genom kapacitiv koppling mellan polykiselgaten och kanalen till source/drain. Kapacitansen bestäms av dielektrikum (gateoxid) och dopningen av materialet under gaten.

En annan typ skapas genom att lägga två ledande lager över varandra (metall eller polykisel) med kiseldioxid mellan. Ett exempel är *polysilicon-oxide-polysilicon*, där de två polylagren skiljs åt med kiseldioxid som dielektrikum. Fördelen med denna typen av kondensator är att den har nästan spänningsberoende parasitkapacitanser, men tekniken kräver dock att man har två stycken olika polykiselager.

I båda fallen är det en form av plattkondensator.

**• Transistorn, signalmässig beskrivning****Modeller, storsignal**

*Subthreshold region*, *Cut-off region*, Transistorn är avstängd, dvs drainströmmen  $I_D \approx 0$ . Gate-sourcespänningen är lägre än tröskelspänningen:  $V_{GS} < V_T$ .

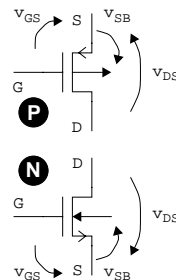
I detta område så beskrivs drainströmmen enligt

$$I_D \approx \frac{W}{L} I_{D0} e^{\frac{qV_{GS}}{nkT}} \approx 0$$

*Linear region*, transistorn arbetar i sitt linjära område.

Gate-source-spänningen är högre än tröskelspänningen:  $V_{GS} > V_T$ . Samt att  $0 < V_{DS} < V_{GS} - V_T$  gäller. Detta ger strömmen:

$$I_D = \frac{\mu_0 C_{ox}}{2} \cdot \frac{W}{L} \cdot (2(V_{GS} - V_T) - V_{DS}) V_{DS} (1 + \lambda V_{DS})$$

**Saturation region**

Gate-source-spänningen är högre än tröskelspänningen och  $0 < V_{GS} - V_T < V_{DS}$ . Vilket ger:

$$I_D = \frac{\mu_0 C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

**Threshold voltage**, tröskelspänningen,  $V_T$ :

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|})$$

En transistor av *enhancement mode* har en positiv tröskelspänning (NMOS) för en *depletion mode* transistor så kan tröskelspänningen göras negativ. Detta kan vara användbart om man vill sätta  $V_{GS} = 0$ , (betrakta småsignalscheman i andra lektioner).

**Andra notationer:**

$$K' = \mu_0 C_{ox} \quad S = W/L \quad \beta = K'S = \mu_0 C_{ox} (W/L) \quad \alpha = \frac{\beta}{2}$$

### Uppgifter

#### Uppgift 3.2

Ange två typer av MOS-kondensatorer. Svaret enligt teoridelen.

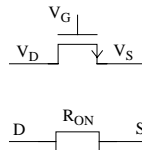
#### Uppgift 3.4

“ON”-resistansen för en switch.

Det antas att transistorn arbetar i det linjära området, dvs att

$$g_m \approx \beta V_{DS}, g_{mbs} \approx g_m \eta \text{ och } g_{ds} = \beta(V_{GS} - V_T - V_{DS})$$

Det antas att det är en liten ström och resistans genom transistorn och därmed så är inte potentialskillnaden mellan drain och source stor, dvs att  $V_{DS} \approx 0$ . Detta ger att  $g_m \approx 0$  och  $g_{mbs} \approx 0$ .



Därför måste  $R_{ON} = 1/g_{ds}$  och  $V_{GS} - V_T - V_{DS} = V_G - V_T - V_D$  och därmed är

$$R_{ON} = \frac{1}{K'_n(W/L)(V_G - V_T - V_D)} = \frac{1}{25\mu \cdot 1 \cdot (V_G - 1 - V_D)} = \frac{40k}{(V_G - 1 - V_D)}$$

Enligt antagande så är  $V_{GS} > V_{DS} \Rightarrow V_G > V_D$  och därmed kan  $V_D$  försummas i  $R_{ON}$ .

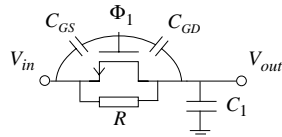
a)  $V_G = 10V$ .  $R_{ON} = 40k/9 \approx 4.44k\Omega$ . b)  $V_G = 5V$ .  $R_{ON} = 40k/4 = 10k\Omega$

#### Uppgift 3.5

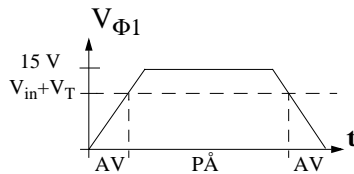
Beträkna genomslaget från klockan (clock feedthrough) för relativt flacka klocksignaler i följande switch då

a)  $C_1 = 5 \text{ pF}$  och  $C_{GD} = C_{GS} = 0.02 \text{ pF}$

b)  $C_1 = 1 \text{ pF}$  och  $C_{GD} = C_{GS} = 0.05 \text{ pF}$



Om vi räknar med relativt flacka klocksignaler kommer switchen att ha följande ungefärliga arbetsområden.



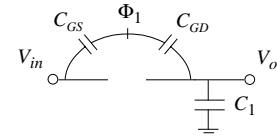
ty transistorn kommer att lämna sitt “cut-off” (AV) område då

$$V_{GS} > V_T \Rightarrow V_{\Phi} - V_{in} > V_T \Rightarrow V_{\Phi} > V_T + V_{in}$$

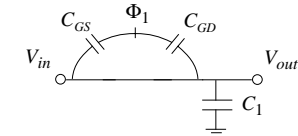
Om vi nu betraktar ett idealt fall d v s

$$R = \begin{cases} 0 & \text{tillslag} \\ \infty & \text{frånslag} \end{cases}$$

“OFF”



“ON”



Vid positiv flank  $V_{\Phi} : 0 \rightarrow V_{in} + V_T$  ges förändringen i  $V_{out}$  enl

$$\Delta V_{out} = \frac{C_{GD}}{C_1 + C_{GD}} \cdot V_{\Phi} \text{ dvs vid omslagsögonblicket } \Delta V_{out}^+ = \frac{C_{GD}}{C_1 + C_{GD}} \cdot \langle V_{in} + V_T \rangle$$

Då  $V_{\Phi} : V_{in} + V_T \rightarrow 15$  är  $V_{out} = V_{in}$

Då  $V_{\Phi} : 15 \rightarrow V_{in} + V_T$  är  $V_{out} = V_{in}$

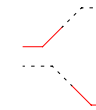
Vid negativ flank  $V_{\Phi} : V_{in} + V_T \rightarrow 0$  ges förändringen i  $V_{out}$  vid omslagsögonblicket av

$$\Delta V_{out} = -\frac{C_{GD}}{C_1 + C_{GD}} \cdot \langle V_{in} + V_T \rangle$$

Vi får alltså ett spänningsgenomslag “clock feedthrough” vid låg signal och vid omslagen

$$\Delta V_{out}^+ = \frac{C_{GD}}{C_1 + C_{GD}} \cdot \langle V_{in} + V_T \rangle$$

$$\Delta V_{out}^- = -\frac{C_{GD}}{C_1 + C_{GD}} \cdot \langle V_{in} + V_T \rangle$$



#### Uppgift 3.6

Beräkna kapacitanserna  $C_{GB}$ ,  $C_{GS}$  och  $C_{GD}$  i transistorn då:

$$L = 25\mu \text{ m}, W = 25\mu \text{ m}, V_D = 1 \text{ V}, V_G = 1.7 \text{ V}, V_S = 0, V_B = -5 \text{ V}, V_{T0} = 1 \text{ V},$$

$$C_{ox} = 0.45 \cdot 10^{-15} \text{ F/mm}^2, \gamma = 0.5 \text{ V}^{0.5}, 2|\phi_F| = 0.6 \text{ V} \text{ och } \Delta L = 0.8\mu \text{ m}.$$

Vid tillverkningsprocessen så kommer inte de "maskerade" värdena  $W$  och  $L$  - dvs de värden som är beräknade och givna inför tillverkningen - att stämma utan det kommer att uppstå överlappning och den effektiva längden och bredden på kanalen blir kortare. På grund av överlappningen så kommer också parasitkapacitanser att uppstå mellan gate och source/drain/bulk. Kapacitanserna är beroende av storleken på överlappningen och potentialerna i gate/source/drain/bulk (dvs i vilket arbetsområde som transistor befinner sig).

Överlappningen  $LD$  är given av  $\Delta L$  som  $LD = \Delta L$ . Vi måste anta att  $W_{eff} = W$  i uppgiften eftersom ingen information är given om  $\Delta W$ .

I detta exempel är:

$$V_T = V_{T0} + \gamma(\sqrt{2|\phi_F|} + V_{SB} - \sqrt{2|\phi_F|}) = 1 + 0.5(\sqrt{0.6} + (0 - (-5)) - \sqrt{0.6}) \approx 1.8 \text{ V}$$

Det betyder att  $V_{GS} = 1.7 < 1.8 = V_T$  dvs att transistoren är avstängd, "off". Enligt Johns&Matrin sid 38-39 fås nu.

$$C_{GB} \approx C_{ox} W_{eff} L_{eff} = C_{ox} W(L - 2\Delta L) = 0.45 \cdot 25 \cdot 23.4 \cdot 10^{-15} \text{ F} \approx 263 \text{ fF}$$

$$C_{GD} = C_{GS} \approx C_{ox} L D W_{eff} = 0.45 \cdot 0.8 \cdot 25 \cdot 10^{-15} \text{ F} = 9 \text{ fF}$$

**Uppgift 3.7**

Beräkna transistorstorlekarna för M8, M9 och M10. Enligt uppgift är:

$$V_{DD} = -V_{SS} = 5 \text{ V}, P_{diss} = (V_{DD} - V_{SS}) I_D \leq 50 \mu \text{ W} \text{ och } V_{bias} = -3 \text{ V}.$$

Genom att använda kravet på begränsad effektförbrukning i kretsen så kan strömmen beräknas till att maximalt vara:

$$I_D = P_{diss} / (V_{DD} - V_{SS}) = 50 \mu \text{ A} / 10 = 5 \mu \text{ A}$$

Eftersom alla transistorer är diodkopplade så är  $V_{DS} = V_{GS}$  och därmed  $V_{DS} > V_{GS} - V_T$ , dvs transistorerna befinner sig i det mättaade området.

Detta gör att storleken för M10 lätt kan beräknas:

$$I_D = \frac{K'_n S_{10}}{2} (V_{GS} - V_{Th})^2 (1 + \lambda_n V_{DS}) = K'_n S_{10} (V_{GS} - V_{Th0})^2 (1 + \lambda_n V_{GS}) \Rightarrow$$

$$S_{10} = 2 I_D / [K'_n (V_{bias} - V_{SS} - V_{Th0})^2 (1 + \lambda_n (V_{bias} - V_{SS}))] \approx 0.59$$

Om bulkeffekter inte försумmas och potentialen  $V_x$  sätts till ett lämpligt värde,  $V_x$

$$V_x = 0.5(V_{DD} - V_{bias}) = 1 \text{ V}$$

Så kan även de andra storlekarna räknas ut som:

$$S_8 = 2 I_D / [K'_p (V_{DD} - V_x - |V_{Th0}|)^2 (1 + \lambda_p (V_{DD} - V_x))] \approx 0.14$$

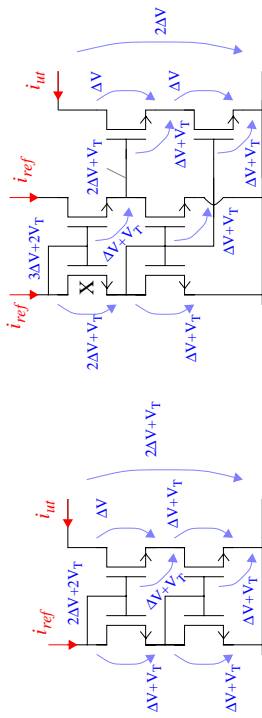
$$S_9 = 2 I_D / [K'_p (V_x - V_{bias} - |V_{Thp}|)^2 (1 + \lambda_p (V_x - V_{bias}))] \approx 0.26$$

$$\text{där } V_{Tp} = V_{Tn0} - \gamma(\sqrt{2|\phi_F|_p} + V_{BS} - \sqrt{2|\phi_F|_p}) \approx -1.82 \text{ V}$$

**Uppgift 3.8**

Alla transistorer skall arbeta i mättnadsområdet. Det innebär att drain-sourcespänningen måste väljas så att:  $v_{DS} > v_{GS} - v_T = v_{DS,sat} = \Delta V$  (Naturligtvis är  $v_{GS} > v_T$ ).

Beräkna  $v_{ut,min}$  om alla transistorer är lika stora  $W/L = 1/1$  förutom för transistor X som har storleken  $(W/L)_X = 1/4$ .



Om vi antar att alla transistorer är mättaade och att bulk- och kanallängdsmodulationseffekter ignoreras så kan vi lätt inse att utströmmen  $i_{ut}$  måste vara lika med referensströmmarna  $i_{ref}$  på grund av att det är den nedre NMOStransistor - i princip - i varje gren som bestämmer strömmen. De nedre NMOStransistorerna har alla samma  $v_{GS} = \Delta V + v_T$ .

I det första fallet så kan vi också konstatera att alla transistorer måste ha samma  $v_{GS}$  eftersom det är samma ström som flyter genom båda grenar och att transistorerna är lika stora. Därmed kan vi göra en enkel potentialvandring (börja "i nedre vänstra hörnet") och finna att den minsta utspänningen för att garantera mättnad i alla transistorer är:

$$v_{ut,min} = 2\Delta V + v_T$$

För det andra fallet måste vi undersöka hur den "avvikande" transistoren uppträder. Vi kan jämföra den med transistoren under genom vilken det flyter samma ström, dvs

$$i_{ref} = \frac{\beta}{2} \Delta V^2 = \frac{\beta}{4} \Delta V_x^2 \Rightarrow \Delta V_x = 2\Delta V \Rightarrow v_{DS,x} = 2\Delta V + v_T$$

Genom att fullfölja en potentialvandring genom kretsen så kan man upptäcka att den minsta möjliga utspänningen nu är:

$$v_{ut,min} = 2\Delta V$$

Om  $i_{ref} = 50 \mu \text{ A}$  och  $v_{ut,sat} = v_{us,min} = 1 \text{ V}$  så kan vi bestämma storlekarna enligt:

$$i_{ref} = i_{ut} = \frac{\beta}{2} \cdot \left(\frac{v_{ut,sat}}{2}\right)^2 \Rightarrow \beta = \frac{8 \cdot i_{ref}}{v_{ut,sat}^2} = 400 \cdot 10^{-6} \Rightarrow \frac{W}{L} \approx 23.5$$